

DATA HIGHWAY SYSTEM

(Reference 2)

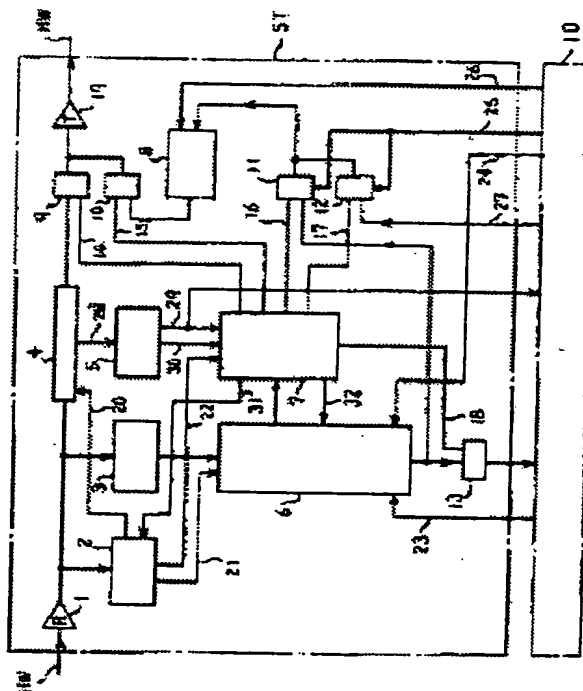
DF

Patent number: JP57204655
Publication date: 1982-12-15
Inventor: OONISHI HAYATO
Applicant: YASUKAWA DENKI SEISAKUSHO KK
Classification:
- international: H04L11/00
- european:
Application number: JP19810090632 19810610
Priority number(s):

Abstract of JP57204655

PURPOSE: To obtain a circuit controlling system which does not require two kinds of loop transmission lines like as the Oregon system, by installing an FIFO buffer memory having a size which exceeds the largest frame of transmitting information to each station.

CONSTITUTION: When an address added to transmitting data coincides with the address of said station, a coincidence signal 29 is outputted from an address coincidence detector 5 and input of succeeding data into a repeating delaying factor 4 is prevented, and, at the same time, a gate 9 is closed by a controlling circuit 7. Therefore, the data way at the downstream of said station is set to "vacant" condition. Moreover, the controlling circuit closes a gate 11 and opens a gate 13, and successively takes out data stored in an FIFO buffer memory 6 through the gate 13. When the controlling circuit 7 takes out the final information of one data frame, it discriminates that the FIFO buffer memory 6 is vacant and closes the gate 13, and thus, terminates the receiving operation.



AD

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑯ 公開特許公報 (A)

昭57-204655

⑮ Int. Cl.³
H 04 L 11/00
G 06 F 3/04

識別記号

庁内整理番号
7230-5K
7218-5B

⑯ 公開 昭和57年(1982)12月15日

発明の数 1
審査請求 未請求

(全 6 頁)

⑰ データハイウェイ方式

⑱ 特 願 昭56-90632

⑲ 出 願 昭56(1981)6月10日

⑳ 発 明 者 大西準人

北九州市八幡西区大字藤田2346

⑱ 出 願 人 香地株式会社安川電機製作所内
株式会社安川電機製作所
北九州市八幡西区大字藤田2346
香地

㉑ 代 理 人 弁理士 今井義博

明 細 書

1 発明の名称

データハイウェイ方式

2 特許請求の範囲

共通の環状伝送路に沿って順次接続された複数の情報伝送制御装置を設け、前記複数の情報伝送制御装置相互間でメッセージ多重方式の情報伝送を行なうものにおいて、前記各情報伝送制御装置に伝送情報の最大データフレームを超える大きさの FIFO (FIRST-IN FIRST-OUT) バッファメモリと、伝送情報の受信者アドレスの最終情報から少なくとも 1 データフレームの先頭情報までを収容可能なメモリ容量をもつラフトレジスタからなる中継用遅延要素とを具備し、前記各情報伝送制御装置は、当該装置の受信部に着信信号が存在せず、かつ前記 FIFO バッファメモリに中継用データが存在しない場合に、自己のデータの送信が開始できるようにするとともに、当該装置に到着する伝送情報の受信者アドレスが当該装置のアドレスと一致する場合に受増し、前記

受信者アドレスが当該装置のアドレスと一致せずかつ当該装置が受信中でない場合は、後述遅延要素を介して前記受信データフレームを送出させ、前記受信者アドレスが当該装置のアドレスと一致せずかつ当該装置が受信中の場合は、前記受信データを前記 FIFO バッファメモリにストアし、当該装置の受信完了後に前記 FIFO バッファメモリにストアされているデータフレームを先頭順に送出して送信動作を行なわせることを特徴とするデータハイウェイ方式。

3 発明の詳細な説明

本発明は情報伝送方式、特に環状伝送路を同時分割使用する方法の改良に関するもので、回線制御用の専用のコントロールループや回線制御装置なしで伝送路の同時分割使用を可能にし、さらに回線制御のための信号の授受を行なう必要のない効率的な環状伝送システムを可能にするものである。

従来より環状伝送路の効率的な運用を目的として、チャンネル多重方式やメッセージ多重方式等の多重伝送が行なわれている。タイムシェアリングの環

特開昭57-204655(2)

法を使ったチャンネル多重方式は、必要なチャンネル数でひとまよめにしたデータフレームを繰り返して伝送するサイクリック伝送を行なうもので、環状伝送路上の特定の情報伝送制御装置（以下ステーションと称す）からの長い情報伝送のために他のステーションが待たされることはないが、割当てられたチャンネルが伝送を行っていない時には空き時間になってしまうので伝送効率が低下する欠点があった。

一方、メッセージ多重方式においては、環状伝送路上の各ステーション間の交換制御を行なうコントロールステーションを有し、さらに各ステーションごとにループ上の信号ともステーションとの同期をとるに必要な最小限の容量の中継用遅れ要素を設けており、この中継用遅れ要素の容量は一般にノイズビットと小さいため、いずれかのステーションから送信要求が寄せられ情報の伝送が開始されると、その信号は受信ステーションの下流まで伝送され、データハイウェイ全体が占有されてそのデータの伝送が完了するまで他のス

テーションは起動することができない欠点があった。

これに対して、伝送に必要な区間のみ伝送路を使用して、伝送に不必要な区間にはデータを流さないようにし、これにより空いた伝送路を他の伝送に使用することにより伝送路の有効利用を図ることを、

この伝送分割使用方式が提案されている。この方式はオレゴレ方式と称されており、これを第1図に示している。

図において、 S_1 ないし S_8 はステーション、 BW_1 ないし BW_6 は各ステーションに対応した制御スイッチ、DLは情報伝送路として使用されるデータループ、LPCはループコントローラで、伝送開始・終了に必要な各ステーションとの信号の授受をコントロールループCLを介して行なうように構成されている。

この方式では、前述のごとくデータループDL以外に制御信号用のコントロールループCLを有しており、各ステーション間の交換制御はコント

ロールループCLに接続されたループコントローラLPCにより行なわれる。

データループDLには各ステーションに対応して制御スイッチBWが介在していて、この制御スイッチBWはループコントローラLPCからの指令に基づいて各ステーションSTが出力制御信号によって切替えが行なわれる。

例えば、ステーション S_1 からステーション S_3 への伝送を行なう場合、ステーション S_1 はコントロールループCLを介してループコントローラLPCに回路接続要求を出す。この要求を受けると、ループコントローラLPCはステーション S_1 ・ S_3 間の通信可能条件が成立していることを確認して、この伝送ルートに関係するステーション S_1 ・ S_2 ・ S_3 に制御スイッチBWの切替指令を出す。この切替指令にもとづいて制御スイッチ BW_1 ・ BW_2 ・ BW_3 が図のように切り替えられ、ステーション S_1 ・ S_3 間の伝送路が成立する。このようにデータループDLを制御スイッチBWにより切り替えるので、前記のようにステーション S_1 ・ S_3 間で伝送の授受が行なわれている間は他の伝送路（この場合、ステーション S_4 ・ S_6 間）は空いており、この空きループを利用する伝送たとえば S_4 ・ S_6 間の伝送を前記のステーション S_1 ・ S_3 間の伝送と並行して実行することができる。

この方法は前記のごとく、回路の有効利用を図るものであるが、データループ以外に回路制御専用のコントロールループとループコントローラを必要とする欠点があり、さらに、ループコントローラによる回路制御が行なわれるため、伝送の開始・終了の前後に回路制御や伝送の開始指令・終了報告などの信号授受を必要とし、その分だけ伝送効率が低くなる欠点があった。

本発明は上記の欠点を解決するためになされたもので、環状伝送路（以下ループと略す）上に各ステーション（情報伝送制御装置）に伝送情報の最大データフレームを超える大きさのFIFO（FIRST-IN FIRST-OUT）バッファメモリと、伝送情報の受信者アドレスの最終情報から

少なくともデータフレームの先頭情報までを受容可能なメモリ容量をもつレジスタからなる中継用遅延素子とを具備し、当該ステーションあての伝送情報を下流のデータハイクウェイに流すことなく受信させ、当該ステーションの発信中に受信した上流からの情報は、受信者アドレスを判別して、当該ステーションあて以外の伝送情報であれば、FIFOバッファメモリにストアして、発信終了後に下流へ中継するとともに、中継動作中は発信を阻止するようにして、伝送路の分割利用を可能にするとともに、重複した伝送路や専用の回線制御装置を不要としたものである。

第2図は本発明の原理を説明するもので、Hはデータハイクウェイのループ、ST₁ないしST₉はループ上の各ステーションで、前記各ステーションにはそれぞれ入出力装置¹⁰が接続されている。

いま、ループ上の任意の1つのステーションST₁から他のステーションST₂に伝送情報が送られると、伝送ノによって下流のステーション

特開57-204655(3)

ST₂・ST₃では伝送信号が受信すると、前記信号のアドレスが判別され、受信者アドレスの不一致により下流のステーションへ中継し、ステーションST₄では受信者アドレスの一致により下流への中継は行なわれない。

したがって、ステーションST₄より下流の伝送路は「空き」状態にあり、この「空き」状態にあるループを他の伝送信号の伝送ルートとして使用することができ、たとえば「伝送ノ」と並行してステーションST₅からステーションST₈への信号の伝送「伝送2」を実行することが可能となる。

第3図は本発明における各ステーションの実施例を示すブロックダイアグラムで、

- ノは受信増幅器
- 2は信号¹⁰クロック検出器
- 3は並列・並列変換器
- 4はレジスタで構成される中継用遅延素子
- 5はアドレス一致検出器

6はFIFO(FIRST-IN FIRST-OUT)

バッファメモリ

7は制御回路

8は並列・並列変換回路

9ないし13はゲート

14ないし15はゲートコントロール信号

16は送信増幅器、20ないし23はクロック信号、24・25・26は送信用クロック信号

27は送信データ

28はアドレス情報

29はアドレス一致信号、

30はアドレス不一致信号

31はクロック停止信号

32はメモリ消去信号である。

いま、図示のステーションにつながる入出力装置¹⁰から送信要求が発生した場合、データハイクウェイ受信部(受信増幅器ノの入力側)に伝送信号の受信信号が存在せず、かつFIFOバッファメモリに中継データが存在しないならば、制御

回路7からゲートコントロール信号ノ・ノ7が出力され、ゲートノ・ノ2を「開」にし、前記入出力装置¹⁰に送信開始命令を出す。

入出力装置¹⁰はこれを受けて直ちに送信を開始し、送信用クロック信号25・26により並列信号(例えばバイト並列信号)からなる送信データ27はゲートノ2を介しては並列・並列変換器8によりビット並列信号に変換され、ゲートノ10、送信増幅器ノ7を介してデータハイクウェイHの下流へと送出される。

次に、このステーションに伝送信号が到達した場合は、まず、受信増幅器ノを介して伝送データに先行する同期用アイドル信号が到達し、信号ノクロック検出器2が伝送データの到着を検出し、クロック信号20・21・22を発生する。

これにより、中継用遅延素子4はクロック信号20により受信者アドレスの最終情報から少なくともデータフレームの先頭情報までのシリアルデータを順次蓄積してゆく。

中継用遅延素子4に伝送データのアドレス情報

が完全に入ってしまうと、アドレス検出部5は中継用遅れ要素からアドレス情報24を抽出して当該ステーションのアドレスとの比較が行われる。

この間に、伝送信号は前記中継用遅れ要素4に入力されるとともに、これと並行して直列・並列変換部3を介してクロック信号2/2に同期してFIFOバッファメモリ6に入力される。

これに続く動作シーケンスについては、下記の3つのケースに分けて順次説明する。

(a) 伝送データの受信者アドレスと当該ステーションのアドレスが一致する場合。

アドレス一致検出部5からアドレス一致信号30が出力されると、制御回路7からのクロック停止信号3/3で信号クロック検出部2のクロック2/2を停止させアドレス情報に続く伝送信号が中継遅れ要素4に入力されるのを阻止すると同時に、制御回路7は信号ノ/5によりゲート9を「閉」の状態に維持する。したがって、当該ステーションの下流データハイウェイは「空き」(無信号)の状態になる。

結果は、FIFOバッファメモリに一時遅延させたデータを送出する間或中継受信を含む)でない場合。

アドレス一致検出部5からアドレス不一致信号30が出力され、制御回路7で当該ステーションが発信中でないことを確認すると、信号・クロック検出部2のクロック信号2/2を停止させることなく、伝送データはアドレス情報に引き続いて一連のビットシリアル信号を順次中継用遅れ要素4に入力させ、ゲート9が「開」のままで保持されるので前記中継用遅れ要素4の出力側からは、先頭ビットデータから順次ゲート9・送信用増幅器19を介してデータハイウェイの下流へ送出され、ノデータフレームの伝送信号の最終ビットが送出されてしまうと中継動作が完了する。

なお、上記のアドレス不一致の場合、アドレスの比較動作が完了するまでの間にFIFOバッファメモリ6に蓄積されたデータはアドレス不一致検出に伴いメモリ消去信号32が出力され

制御回路57-204655(4)

一方、FIFOバッファメモリ6へはアドレス情報に続く伝送信号のビットシリアル信号が順次バイトシリアル形式で入力されている、この動作はノデータフレームの伝送信号が終了するまで続けられる。

また、制御回路7は信号ノ/6を「OFF」ノ/8を「ON」にしてゲートノ/ノを「閉」ノ/3を「開」にし、FIFOバッファメモリ6にストアされたデータを当該ステーションに接続された入出力装置25から送出されたクロック2/2により、ゲートノ/3を介して先着順にとり出している、ノデータフレームの伝送信号の最終信号までとり出し終わると制御回路7はFIFOバッファメモリ6が「空」であることを判別して、信号ノ/8を「OFF」にしゲートノ/3を「閉」にすることにより受信動作が終了する。この受信動作中はゲートノ/ノは「閉」の状態が維持されている。

(b) 受信者アドレスが当該ステーションのアドレスと不一致で、かつ当該ステーションが発信中(当該ステーションからのデータを受信する自

て消去される。

(c) 受信者アドレス不一致で、かつ当該ステーションが発信中である場合、アドレス一致検出部5からアドレス不一致信号30が入り、制御回路7で当該ステーションが発信中であることを確認すると、クロック停止信号3/3により、クロック2/2を停止して中継用遅れ要素4への信号の送り込みを阻止し、同時に遅れ要素のストアデータを^{2リキ}消去し、ゲート9は「閉」を維持させる。

一方、クロック2/2は継続して、伝送信号をアドレス情報に引き続いて順次FIFOバッファメモリ6に入力し、ノデータフレームの伝送信号が終了するまでの動作は継続される。

ノデータフレームの伝送信号がFIFOバッファメモリ6に送り込まれストアされた後、当該ステーションの受信が完了すると、制御回路7は信号ノ/5・ノ/6を「ON」にしてゲートノ/ノを「開」にする。

続いて送信用クロック信号24・35・26

特開57-204655(6)

が与えられることにより、FIFOバッファメモリに一時ストアされた伝送信号情報はゲート／＼、並列・並列変換器δ。ゲート／Ｑ、送信増幅器／Ｑを介して先頭データから順次データハイウェイの下流に送出され、FIFOバッファメモリにストアされた情報がすべて当該ステーションより送出し終わると、ゲート／Ｑ・／＼はふたたび「閉」となり、やがてデータの再送出動作が完了する。

なお、前記の図解中継発信中にさらに新規な伝送情報が増加する場合はFIFOバッファメモリを2つ以上並列に用意しておく必要がある。

本発明は上記のごとく、共通の図状伝送路に接して順次接続された複数のステーション(情報伝送制御装置)を設け、前記複数のステーション相互間でメッセージ多量方式の情報伝送を行うものにおいて、前記各ステーションに伝送情報の最大データフレームを超える大きさのFIFO(FIRST-IN FIRST-OUT)バッファメモリと、伝送情報の受信者アドレスの最終判別か

ら少なくともデータフレームの先頭情報までを収容可能なメモリ容量をもつシフトレジスタからなる中継用遅延装置とを具備し、各ステーションは、当該ステーションの受信部に通信信号が存在せず、かつ前記FIFOバッファメモリに中継用データが存在しない場合に自己のデータの送信ができるようにするとともに、当該ステーションに前記する伝送情報の受信者アドレスが当該ステーションのアドレスと一致する場合に受信し、前記受信者アドレスが当該ステーションのアドレスと一致せず、かつ当該ステーションが発信中でない場合は、前記遅延装置を介して前記発信データフレームを送出させ、前記受信者アドレスが当該ステーションのアドレスと一致せず、かつ当該ステーションが発信中の場合は、前記通信データを前記バッファメモリにストアし、当該ステーションの送信完了後に前記FIFOバッファメモリにストアされているデータフレームを先頭順に送出して送信動作を行なわせるようにしているので、ノットの伝送情報が必ずしも図状伝送路を占有せず「詰

区間を利用して複数の伝送を行ないうるとともにオレゴン方式のような複数のループ(データループと制御ループ)を必要とせず、また、図解制御のための特別なコントローラも必要ないので、伝送システムを簡略で経済的に構成することができるとともに、図解制御のための信号の伝受を行なう必要がないので時間的に伝送効率を向上させることができる。

図解の簡単な説明

第1図は従来の伝送路分割使用方式の例を示す説明図、第2図は本発明の説明図、第3図は本発明に用いられる情報伝送制御装置のノット列を示す図である。

δ、ないしδδおよびBT/ないしBTδはステーション(情報伝送制御装置)。

DLはデータループ、CLはコントロールループ、

SW1ないしSWδは制御スイッチ、

LPCはループコントローラ、

HWはデータハイウェイ、

IOは入出力装置、

／は受信増幅器、

δは信号、クロック発生器、

δは並列・並列変換器、

δは中継用遅延装置、

δはアドレス一致検出器、

δはFIFOバッファメモリ、

δは制御回路、

δは並列・並列変換器、

δないしδはゲート、

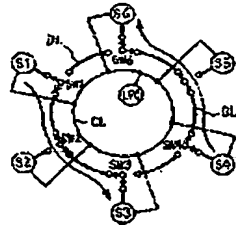
／δは送信増幅器である。

代理人 弁護士 今 井 義

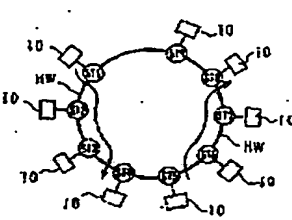


特開57-204655 (B)

第 1 図



第 2 図



第 3 図

